

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-343146

(43) 公開日 平成4年(1992)11月30日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/22	3 4 0 C	9072-5B		
G 0 1 R 31/28				
G 0 6 F 11/22	3 3 0 B	9072-5B		
		6912-2G	G 0 1 R 31/28	V

審査請求 未請求 請求項の数 8 (全 9 頁)

(21) 出願番号 特願平3-143822

(22) 出願日 平成3年(1991)5月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三ツ石 直幹

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

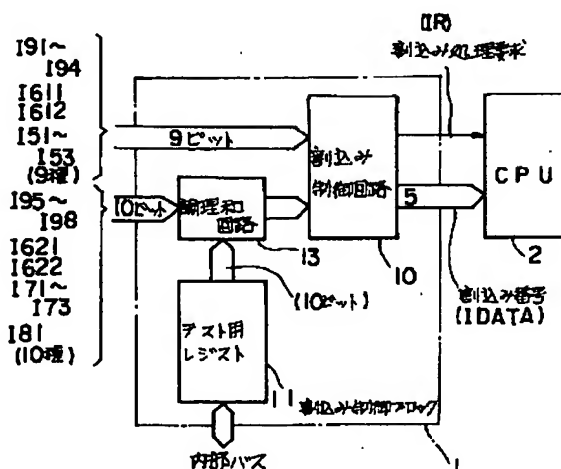
(74) 代理人 弁理士 玉村 静世

(54) 【発明の名称】 半導体集積回路及びそのテスト方法

(57) 【要約】

【目的】 割込み制御機能のテストのための論理規模の増加を最小限としつつ、テスト設計の効率を向上させる。

【構成】 複数の割込み信号を受け、それら信号の状態に応じて競合する要求を調停してその結果を出力可能な割込み制御回路10に対し、前記割込み信号の一部、例えば割込みを発生することが困難な割込み要因、あるいは、削除するまたは追加することがある割込み要因に対応した信号を代替して出力するテスト用レジスタ11を設ける。テスト用レジスタに所望の情報を書き込むことにより、代替すべき信号に対応する機能ブロックの動作に依存せずに割込み制御機能のテストが可能になる。テスト用レジスタは一部の割込み信号に限定して設けてあり、テストだけに利用される回路の論理規模の増加を最小限とする。



【特許請求の範囲】

【請求項1】 外部又は内部から伝達される複数の信号を受け、それら信号の状態に応じて競合する要求を調停してその結果を出力可能な制御回路を備え、前記伝達される信号の一部を代替して前記制御回路に出力する代替手段を有して成る半導体集積回路。

【請求項2】 前記伝達される信号は割込み信号であり、前記制御回路は、割込み信号の競合状態を調停して得られる割込み番号情報と割込み処理要求とを出力し、それら出力を受けるCPUを同一半導体基板上に含んで成る請求項1記載の半導体集積回路。

【請求項3】 前記CPUと前記代替手段を接続する内部バスを有し、前記代替手段は内部バスを介して書き込まれるデータを保持して出力するものである請求項2記載の半導体集積回路。

【請求項4】 前記制御手段の出力を保持して、これを内部バスに出力する結合手段を更に設けて成る請求項3記載の半導体集積回路。

【請求項5】 所定の動作モードにおいて、前記内部バスを前記CPUから切り放し、且つ、外部から内部バスに情報を入力可能とする手段を有して成る請求項4記載の半導体集積回路。

【請求項6】 請求項3記載の半導体集積回路をテストするに当たり、外部から内部バスにアクセス情報を与えることによって前記代替手段にデータを書き込むステップと、代替手段に書き込まれたデータに基づいて前記制御回路を動作させるステップとを含む半導体集積回路のテスト方法。

【請求項7】 請求項5記載の半導体集積回路をテストするに当たり、半導体集積回路に前記所定の動作モードを設定するステップと、外部から内部バスにアクセス情報を与えることによって前記代替手段にデータを書き込むステップと、代替手段に書き込まれたデータに基づいて前記制御回路を動作させるステップとを含む半導体集積回路のテスト方法。

【請求項8】 前記制御手段が出力する情報を結合手段に保持させるステップと、その結合が保持する情報を内部バスを介して外部に読出すステップとを、更に追加した請求項7記載の半導体集積回路のテスト方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は割込み制御機能を有する半導体集積回路装置、ことにそれをテストするための技術に関し、例えば、シングルチップマイクロコンピュータを利用して有効な技術に関するものである。

【0002】

【従来の技術】 シングルチップマイクロコンピュータは、昭和59年11月30日オーム社発行の『LSIハンドブック』P540およびP541に記載されるように、中央処理装置（CPU）を中心にしてプログラム保

持用のROM（リードオンリメモリ）、データ保持用のRAM（ランダムアクセスメモリ）、およびデータの入出力を行うための入出力回路、例えば、タイマ、シリアルコミュニケーションインタフェース（SCI）、デュアルポートRAM（DPRAM）、A/D変換器などの機能ブロックが1つの半導体基板上に形成されて成る。

【0003】 斯るシングルチップマイクロコンピュータは、CPUの処理とは独立の外部要因または内蔵の機能ブロックの所定動作が発生したときに、CPUの処理を一時中断して、前記外部要因または機能ブロックの動作に対応した処理を行なわせるための所謂割込み制御機能を持っている。このような割込み制御機能は割込み制御回路によって行なわれる。特に制限はされないものの、割込み制御回路は、CPUに割込みが発生していることを示す割込み処理要求信号と、いずれの割込みが要求されているかを示す割込み番号を与えている。これらの割込み制御機能と割込み制御回路は、株式会社日立製作所平成元年6月発行の『H8/330 HD6473308 HD6433308 ハードウェアマニュアル』などにより公知であるので詳細な説明は省略する。内蔵の機能ブロックによる割込みとしては、例えば、タイマのカウンタがオーバフローした場合、タイマのタイマカウンタと比較レジスタの設定値が一致した（コンペアマッチ）場合、SCIによる通信が終了した場合、DPRAMを利用した通信が終了した場合などがある。また、割込み制御機能には、複数の外部要因または機能ブロックの動作が発生した場合にいずれを優先させるかを調停し、CPUに割込み処理要求信号と割込み番号を与える機能も含まれる。

【0004】 斯るシングルチップマイクロコンピュータのテストを行うときは、すべての割込みを発生させてCPUに割込み処理を行なわせる必要がある。特に制限はされないものの、タイマのカウンタや比較レジスタはCPUによってリード/ライト可能であるので、テスト時にはテストプログラムを介してカウンタ並びに比較レジスタに所望の値をライトすることにより、タイマカウンタと比較レジスタの内容を一致させたりして、割込みを要求することができる。一方、SCIによる通信速度はCPUの処理速度と比較して速いため、テストのために疑似的に割込み要因を発生させるのは難しく、このため、テスト設計が複雑になり、また、実際のテスト時間が長くなって、テスト効率低下してしまう。さらに、複数の割込みの調停機能のテストを行なうためには、割込みの競合を多くの組合せにつき発生させなければならない、これによっても、テスト設計は複雑になり、また、テスト時間も長くなってしまう。

【0005】 また、複数の応用に利用できる高機能のシングルチップコンピュータに対し、特定応用向けに適した製造費用の低いシングルチップマイクロコンピュータを短期間に開発する必要のある場合、高機能のシングル

チップマイクロコンピュータの1部の機能を削除したものを開発することが考えられる。例えば、高機能シングルチップマイクロコンピュータに内蔵されるタイマの一部若しくは全部を1チャンネルとし、且つ外部割込み要因を減らし、64ピンパッケージに納めた特定用途向けローコストシングルチップマイクロコンピュータを開発する場合、特定の機能ブロックや外部割込み要因を削除すれば、割込み制御機能も変更になるが、開発期間を短縮するためには、割込み制御回路の論理機能は変更せず、削除した機能ブロックの割込み要求信号を常に要求のない状態に固定しておくことが得策であると、本発明者は考えた。しかしながら、このようにすると、削除した機能ブロックの割込み要求信号を変化させることができない。すなわち、削除した機能ブロックなどに対応する割込み信号の入力信号線はチップ内部でプルダウンされたりする。このため、高機能シングルチップマイクロコンピュータと回路構成が同じ割込み制御回路において、特定用途向けローコストシングルチップマイクロコンピュータでは使用しない部分が故障しているような場合に、使用しない故障部分が使用する回路部分の動作に影響しないことについては十分にテストすることができないことを本発明者は見出した。この点を改善しようとすれば、テストのための構成を再設計しなければならず、開発期間の短縮が十分に達成できず、さらに、テスト用構成の再設計は開発費用の増加となり、製造費用の削減効果を小さくしてしまう。

【0006】

【発明が解決しようとする課題】そこで本発明者は図7に示される割込み制御ブロックを検討した。この割込み制御ブロックは、割込み制御回路10と、CPU2によってリード/ライトできるテスト用レジスタ11Aと論理和回路13Aで構成されている。例えば外部割込み要因及び内蔵機能ブロックからの割込み要因は全部で19本あり、これに応じてテスト用レジスタ11Aは19ビットで構成され、このレジスタ11Aの出力と割込み要求信号の論理和を割込み制御回路10に与えている。このため、機能ブロックの割込みを最低1回発生させ、CPU2の割込み処理（例えば割り込みの種別に応じたベクタアドレスの発生）をテストした後、割込み制御回路10による前記調停機能などの割込み制御機能のテストでは、上記レジスタ11Aに所望のデータを書き込むことによって、機能ブロックの動作に依存せずにそのテストを行なうことができる。前記の機能ブロックの割込みを発生させることは、機能ブロック自体のテストと同時に進めることができ、テスト効率を低下させることはない。また、削除されることが考えられる機能ブロックの割込み要因を使用する割込み制御機能のテストは、前記機能ブロックを使用せず、上記レジスタに所望のデータを書き込むことによって行なえばよく、高機能シングルチップマイクロコンピュータと特定用途向けローコスト

トシングルチップマイクロコンピュータとの割込み制御機能のテストを共通化することができる。

【0007】しかしながら、図7に示される回路では割込み要因の数に応じてその論理規模並びに物理的規模が増大し、テストだけにしか利用されない回路によってチップ面積並びに製造費用が増大してしまう。

【0008】本発明の目的は、割込み制御機能などのテストのための論理規模の増加を最小限としつつ、テスト設計の効率を向上させることができる、割込み制御回路やこれを含むマイクロコンピュータのような半導体集積回路、並びにそのテスト方法を提供することにある。更に本発明の別の目的は、1つのシングルチップマイクロコンピュータから機能ブロックを削除または追加した別のシングルチップマイクロコンピュータの開発時に、新たなテスト設計を不要とした半導体集積回路を提供することにある。

【0009】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】すなわち、外部又は内部から伝達される割込み信号のような複数の信号を受け、それら信号の状態に応じて競合する要求を調停してその結果を出力可能な割込み制御回路のような制御回路を備え、前記伝達される信号の一部を代替して前記制御回路に出力する代替手段を設けて、シングルチップマイクロコンピュータや割込みコントローラのような半導体集積回路を構成する。ここで、前記代替すべき一部の信号は、例えば、割込みを発生することが困難な割込み要因、あるいは、削除するまたは追加することがある割込み要因に対応した信号であり、このとき代替手段としては夫々の信号に1対1対応する記憶ビットを有するテスト用レジスタとすることができる。前記制御回路のテストなどにおいて、このテスト用レジスタに所望の情報を書き込むことにより、割込みが発生したと同様の割込み制御動作を制御回路にさせることができる。

【0012】シングルチップマイクロコンピュータなどに含まれる前記代替手段に対する情報書き込みを任意に可能にするには、CPUが接続する内部バスに前記代替手段を接続する。

【0013】前記制御手段の出力は直接内蔵CPUに処理させてテストすることも可能であるが、CPUの動作に委ねることなく制御手段の出力を処理可能にするには、前記制御手段の出力を保持して、これを内部バスに出力する結合手段を更に設ける。

【0014】内蔵CPUを動作させずに前記制御手段のテストを行う場合を考慮すると、テストモードなど所定

5

の動作モードの設定に基づいて、前記内部バスを前記CPUから切り放し、且つ、外部から内部回路をアクセス可能にする手段を設けるとよい。

【0015】前記半導体集積回路ごとにその制御回路をテストするときは、半導体集積回路に前記所定の動作モードを設定したあと、外部から内部バスにアクセス情報を与えることによって前記代替手段にデータを書き込むステップと、代替手段に書き込まれたデータに基づいて前記制御回路を動作させるステップと、さらに必要に応じて、前記制御手段が出力する情報を結合手段に保持させるステップと、その結合が保持する情報を内部バスを介して外部に読出すステップとを、含めてテストを行えばよい。

【0016】

【作用】上記した手段によれば、半導体集積回路の前記制御回路における例えば割込み制御機能のテスト時に、割込みを発生することが困難な割込み要因についての調停機能などの割込み制御機能のテストにテスト用レジスタを利用して、同レジスタに所望の情報を書き込むことにより、SCIなどの機能ブロックの動作に依存せず、当該テストが可能にされる。このことは、テスト設計の効率向上を実現する。また、削除又は追加することがある割込み要因についての割込み制御機能のテストにもテスト用レジスタを利用して同様のテストが可能にされ、このことは、内蔵機能ブロックの削除又は追加時に、テスト設計を共通化して再設計を不要とするように作用する。前記テスト用レジスタを上記のような一部の信号に限定して設けることは、テストだけに利用される回路の論理規模の増加を最小限とするものである。

【0017】

【実施例】図2には本発明の一実施例に係るシングルチップコンピュータが示される。

【0018】上記シングルチップマイクロコンピュータ100は、割込み制御ブロック1、CPU2、CPU2の動作プログラムなどを保有するROM3、CPU2の作業領域若しくはデータの一時記憶領域とされるRAM4、タイマA5、タイマB6、SCI7、A/D変換器8、および、入出力ポート9などの機能ブロックを含み、それらは、内部バスBUSによって相互に接続され、例えば公知の半導体集積回路製造技術によってシリコン基板のような1個の半導体基板上に形成されて成る。内部バスBUSは、特に制限はされないものの、内部アドレスバス、内部データバス、内部コントロールバスなどが含まれる。

【0019】外部からの割込み要求や内蔵機能ブロックからの割込み要求に応ずる割込み信号は割込み制御ブロック1に与えられ、ここで優先順位などに従った調停制御などを経て、所定の割込み番号と割込み要求がCPU2に送られる。特に制限はされないものの、シングルチップマイクロコンピュータ100は80ピンのパッケージ

6

ジに納められている。タイマA5は、それぞれ16ビットのタイマカウンタと比較レジスタ、インプットキャプチャレジスタを持っている。インプットキャプチャレジスタは、入出力ポート9に含まれる、図示はされないインプットキャプチャ端子に所定の信号が入力された場合に、タイマカウンタの内容を保持するものである。このタイマA5の割込み要因には、タイマカウンタの内容がH'FFFFからH'0000になった時に発生するオーバフロー割込み、タイマカウンタと比較レジスタの内容が一致した時に発生するコンペアマッチ割込み、インプットキャプチャ端子に所定の信号が入力された時に発生するインプットキャプチャ割込みがあり、夫々の割込み要因毎に割込み信号I51、I52、I53が割り当てられる。タイマB6は、同一の機能のタイマを2チャネル(タイマB61、タイマB62)を有し、それぞれ8ビットのタイマカウンタと比較レジスタを1組持っている。このタイマB6の割込み要因には、タイマA5同様に、オーバフロー割込み、コンペアマッチ割込みが2本ずつあり、夫々の割込み要因毎に割込み信号I611、I612、I621、I622が割り当てられる。SCI7には、送信終了割込み、受信完了割込み、受信エラー割込みがあり、夫々の割込み要因毎に割込み信号I71、I72、I73が割り当てられる。A/D変換器8には、変換終了割込みがあり、割込み信号I81が割り当てられる。また、入出力ポート9に含まれる図示しない外部割込み端子8本からの外部割込み信号I91～I98がある。これらの割込み要因の合計は19であり各割込み要因に応ずる割込み信号は割込み制御ブロック1に与えられ、割込み制御ブロック1は、調停制御等を経て所定の要因に応じた割込み番号を5ビットのデータIDATAとしてCPU2に出力すると共に、割込み処理要求信号IRをCPU2に出力する。

【0020】シングルチップマイクロコンピュータ100は、特に制限はされないものの、図示はされないモード端子、リセット端子、スタンバイ端子からの入力信号によって指定されるテストモード、リセット状態、スタンバイ状態などを有する。スタンバイ状態では、各機能ブロックの動作と内部の基準クロックを停止して消費電力を低くする。前記モード端子に与えられるモード信号は、特に制限されないが、第1モード信号MODE1と第2モード信号MODE2の2種類とされ、第1モード信号MODE1はそのローレベル/ハイレベルにより、シングルチップマイクロコンピュータ100にユーザモード/テストモードを設定する。第2モード信号MODE2は第1モード信号MODE1によってテストモードが設定されているときにそのローレベル/ハイレベルにより、シングルチップマイクロコンピュータ100に第1テストモード/第2テストモードを設定する。第1テストモードは外部のテストプログラムによってCPU2を動作可能なテストモードである、第2テストモードは

7

CPU2を内部バスBUSから切り離し、内蔵周辺回路を外部から直接アクセス可能にするテストモードである。スル動作モードを設定するための同モード設定回路は便宜上9で示されるブロック内に含まれるように9Aとして図示してある。CPU2の内部バスBUSからの切り離しはゲート手段を用いた物理的な切り離しはもとより、ホールトなどの制御信号による動作停止などの手段を介した機能的な切り離しであってもよい。また、外部から内蔵機能モジュールをアクセス可能にするときは、アドレス信号、リード信号、ライト信号は外部から

入力可能にされる。これらの詳細については特開昭62-249264号を参照されたい。

【0021】図1には割込み制御ブロック1の第一例が示される。

【0022】割込み制御ブロック1は、割込み制御回路10と、CPU2によってリード／ライトできるテスト用レジスタ11と論理和回路13で構成されている。ここで前記テスト用レジスタ11と論理和回路13は、外部割込み要因及び内蔵機能ブロックからの割込み要因の全てに対応して設けられておらず、特定のシングルチップマイクロコンピュータに対して追加或いは削除される可能性のある内蔵機能ブロックの割込み要求並びにテスト時に比較的簡単に疑似的な割込み要求を発生させ難い割込み要求などに対応される。例えば、シングルチップマイクロコンピュータ100を基準に考えた場合にそれとはとは別のマイクロコンピュータにおいて削除される可能性のある外部割込み要因に対応する4ビット、同様に削除される可能性のあるタイマB62の割込み要因に対応する2ビット、および、割込み要因の発生に時間のかかるSCI7とA/D変換器8の割込み要因に対応する4ビットの10ビットが割り当てられ、テスト用レジスタ11の論理規模は図7の約半分とされる。同様に論理和回路13には上記11の外部割込み要因・機能ブロックの割込み要求が入力され、テスト用レジスタ11の出力との論理和を生成している。その他の外部割込み要因並びに機能ブロックの割込み要求は直接割込み制御回路10に入力されている。これにより、テスト用レジスタ11及び論理和回路13の論理的並びに物理的規模を縮小している。論理的並びに物理的規模を縮小することで製造費用を削減できる。

【0023】テスト用レジスタ11は、前記の通り10ビットであるので、2バイトのアドレス(16ビット)を有し、特に制限はされないものの、余りの6ビットは対応する論理回路が存在せず、ライトしても無効である。

【0024】図1の割込み制御ブロック1のテストは次の通り行なうことができる。

【0025】まず、タイマB62、SCI7、A/D変換器8、入出力ポート9をテストするために、それぞれの割込みを発生させる。この時CPU2にそれぞれの割

8

込み処理例えば割込み要因に応ずるベクタアドレスを発生させる。このベクタアドレスを検査することにより、割込み要求信号がこれらの機能ブロックから割込み制御回路1を介してCPU2に伝達されるか否かをテストできる。割込み制御回路10による割込みの調停若しくは優先順位判定のテスト時には、上記の機能ブロックの割込みについてはテストレジスタ11に所望の値をライトすることによって、割込み要因が存在するのと等価の状態を簡単に実現できる。その他の割込みの内、外部要因とインプットキャプチャ割込みは割込み端子とインプットキャプチャ端子に所定の信号を与えて発生させ、コンパマッチ割込みは、タイマカウンタと比較レジスタにH'FFFFまたはH'FFをライトすればよく、オーバフロー割込みは前記ライト後タイマが1回計数するのを待てばよい。これらによって、任意の組合せの割込みの競合を短時間に実現し、テストできる。このため、テスト設計を容易にし、テスト時間を短縮し、テスト効率を向上することができる。テスト設計を容易にすることで開発費用を削減できる。テスト時間を短縮することで製造費用を削減できる。

【0026】マイクロコンピュータ100に対して、タイマB62、SCI7、A/D変換器8の一部若しくは全部、並びに入出力ポート9の一部を削除して特定用途向けローコスト版といった別のマイクロコンピュータを構成するとき、割込み制御機能は異なってくるが、開発期間を短縮するために、割込み制御ブロック1をそのまま採用し、削除した機能ブロックの割込み要求信号を常に要求のない状態に固定しておく。例えば、削除した機能ブロックなどに対応する割込み信号の入力信号線をチップ内部でプルダウンしておく。このとき、シングルチップマイクロコンピュータ100に対して削除された割込み要求信号に関してはテスト用レジスタ11の所定ビットを書き換えることにより簡単に変化させることができる。換言すれば、前記シングルチップマイクロコンピュータ100における割込み制御ブロックに対するのと全く同じ手法で割込み制御ブロックのテストを行うことができる。したがって、当該特定用途向けローコストシングルチップマイクロコンピュータにおける割込み制御ブロック1のテストは前記マイクロコンピュータ100のそれと同一とすることができ、新たなテスト設計を不要にすることができる。

【0027】更に、シングルチップマイクロコンピュータ100に対して削除若しくは不使用とされた割込み信号に応ずる論理和回路13の入力信号線がチップ内部で完全にプルダウンされていなかったりして、特定用途向けローコストシングルチップマイクロコンピュータでは使用しない部分が故障しているような場合にも、使用しない故障部分が使用する回路部分の動作に影響しないことについては十分にテストすることができる。即ち、19種類の割込み要因によって発生し得る全ての競合状態

を、テスト用レジスタの書換を介して疑似的に発生させて、ローコストシングルチップマイクロコンピュータでは実際に使用しない割込み要因を考慮して充分なテストを行うことができる。仮に不使用とされる割込み信号のプルダウンが不完全になっている場合、レジスタ11に対する特定の書き込み状態と割込み要因に対する特定の優先度設定状態において期待通りの割込み番号が発生されないことを検出することができ、これによって、特定用途向けローコストシングルチップマイクロコンピュータでは使用しない部分が故障しているような場合に、当該使用しない故障部分が使用する回路部分の動作に影響を与える虞のあるものを簡単に抽出することができる。

【0028】図3には割込み制御ブロックの第2例が示される。

【0029】図3の割込み制御ブロック1では、前記テスト用レジスタ11はライト専用とされ、さらに、割込み番号リードレジスタ12を有している。このテスト用レジスタ11と割込み番号リードレジスタ12は同じアドレスに配置され、当該アドレスを指定したリード動作ではレジスタ12から割込み番号が読み出され、当該アドレスを指定したライト動作ではテスト用レジスタ11に書き込みが行われる。割込み番号は5ビットであるので、割込み番号リードレジスタ12の余りの11ビットをリードすると、所定の値、特に制限はされないものの1がリードされるようになっている。。本実施例ではテスト用レジスタ11と割込み番号リード用レジスタ12のアドレスが同一であるため、テスト用のリード/ライト回路を共通化することができる。テスト用レジスタ11は自動的に内容が変化しないので、特にリードがなくても不都合はない。

【0030】本実施例によれば、タイマB62、SCI7、A/D変換器8、入出力ポート9などのテスト時に、CPU2を動作させなくても、割込み信号がこれらの機能ブロックから割込み制御回路1の出力端子まで伝達するか否かをレジスタ12の値を外部に読出すことによってテストすることができる。割込み制御ブロック1の出力端子からCPU2に割込み処理要求信号IRと割込み番号IDATAが伝達されるか否かはCPU2を動作させて、CPU2が対応ベクタアドレスなどを発生するか否かによってテストすればよいが、このとき、割込み番号の全ビットの各ビットが1と0を取る2通りの場合をテストすれば足りる。尚、割込み制御ブロック以外のその他の機能ブロックのテストは、第2テストモードを設定してCPU2を動作させず、外部から直接テストすればよく、テスト効率を向上することができる。また、割込み制御ブロック1についても外部から直接テストすることができる。

【0031】図4には図3の割込み制御ブロックをテストする一例フローチャートが示される。

【0032】まず、シングルチップマイクロコンピュ

タ100にリセット信号を与え、シングルチップマイクロコンピュータ100の動作を初期化すると同時にモード端子に所定の値を与えて、第1テストモードを指定する。かかる第1テストモードでは、前記の通り、テスト用レジスタ11及び割込み番号リードレジスタ12をリード/ライトが可能であり、CPU2がいわゆる外部から与えられる命令に基づいて動作する。CPU2は、機能ブロックまたはテスト用レジスタ10に所望の値をライトすることによって割込みを発生させ、CPU2は発生した割込みに対応する割込み番号を参照して割込み処理を行なう(S1)。同様に、前記割込み番号と相補である割込みを発生させ割込み処理を行なう(S2)。これによって、割込み制御ブロック1とCPU2のインタフェース信号をテストすることができる。例えば、それら割込み処理で発生されるベクタアドレスが割込み発生要因に対応していれば、割込み制御回路10からCPU2に割込み処理要求IRと割込み番号IDATAが正常に伝達されることを確認することができる。

【0033】次に、シングルチップマイクロコンピュータ100にリセット信号を与え、シングルチップマイクロコンピュータ100の動作を初期化すると同時にモード端子に所定の値を与えて、第2テストモードを指定する。かかる第2テストモードでは、前記の通り、テスト用レジスタ11及び割込み番号リードレジスタ12をリード/ライトが可能である他に、前記のようにCPU2を動作させず、外部から直接アドレス、リード信号、ライト信号を与えて、機能ブロック及び割込み制御ブロック10をリード/ライト可能とするものである。

【0034】その後、必要な機能ブロックに所望の値をライトして割込みを発生させると共に、テスト用レジスタ10に所望の値をライトして割込みを発生させることで、所望の割込み競合状態の組合せを実現して、割込み制御回路10を動作させる。この時割込み処理要求信号IRが発生しても第2テストモードの性質上CPU2は動作を停止したままである。割込み制御回路10の動作結果は割込み番号リードレジスタ12をリードすることで確認することができる。同様に機能ブロックあるいはテスト用レジスタ10に所望の値をライトすることで、別の割込み組合せを実現してテストを繰り返すことができる。これによって、割込み制御回路10における調停機能などのテストを行なうことができる。CPU2に割込み処理を行なわせる必要がなく、テスト効率を向上することができる。機能ブロックにライトする他、割込み端子またはインプットキャプチャ端子に所定の信号を与えることによっても所定の割込み競合状態を発生させてテストを行う。

【0035】図5にはテスト用レジスタ11の具体的な回路例が示される。

【0036】図5には代表的に1ビット分を示す。テスト用レジスタ11はラッチ回路111、オアゲート11

11

2、アンドゲート113、アンドゲート114、デコード回路115から構成されている。デコード回路115には内部アドレスバスからアドレスが入力され、テスト用レジスタ11が選択されたことを検出する。ラッチ回路111の入力クロック（アンドゲート113の出力）は、テスト用レジスタ11が選択され、ライト信号がイネーブルレベルにされ、かつ、テストモードがハイレベルの時にのみハイレベルとなり、内部データバスからデータが入力される。ラッチ回路111の出力は、外部割込み要因または機能ブロックの割込み要求信号とオアゲート131で論理和を構成し、この論理和信号が割込み制御回路10に与えられる。ラッチ回路111は内部データバスから1をライトすると割込み要求のある状態、0をライトすると割込み要求のない状態とされる。特に制限はされないものの、オアゲート112によって、リセット状態とスタンバイ状態でラッチ回路111すなわちテスト用レジスタ11は0状態になる。テスト用レジスタ11はテスト設計上は機能的にはスタンバイ状態で保持値を固定する必要がないが、スタンバイ状態での消費電流を測定する場合にテスト用レジスタ11の状態を考慮する必要がないように保持値を固定しておくことが望ましいからである。

【0037】図6には割込み番号リードレジスタ12の具体的な回路例が示される。

【0038】図6には代表的に1ビット分を示す。割込み番号リードレジスタ12は、3ステートバッファ121、アンドゲート122、アンドゲート114、デコード回路115から構成されている。アンドゲート114とデコード回路115は、テスト用レジスタ11と割込み番号リードレジスタ12が同一アドレスであるため、図5と共通である。3ステートバッファ121のクロックは、テスト用レジスタ11または割込み番号リードレジスタ12が選択され、リード信号がイネーブルレベルにされ、且つ、テストモードがハイレベルの時にのみハイレベルとなり、割込み番号を内部データバスに出力可能とされている。

【0039】上記実施例によれば以下の作用効果を得るものである。

【0040】（1）割込み制御機能のテスト時に、割込みを発生することが困難な割込み要因についての調停機能などの割込み制御機能のテストにテスト用レジスタ11を利用して、同レジスタ11に所望の情報を書き込むことにより、SCI7などの機能ブロックの動作に依存せずに当該テストを行うことができる。これにより、テスト設計の効率向上を実現することができる。

【0041】（2）削除又は追加することがある割込み要因についての割込み制御機能のテストにもテスト用レジスタ11を利用して同様のテストを行うことができるから、内蔵機能ブロックの削除又は追加時に、テスト設計を共通化して再設計を不要とすることができる。した

12

がって、1つのシングルチップマイクロコンピュータから機能ブロックを削除又は追加した別のシングルチップマイクロコンピュータの開発時に、割込み制御ブロック1のテスト設計を不要とすることができる。

【0042】（3）削除又は追加することがある割込み要因に応じた一部の信号に限定して前記テスト用レジスタ11を設けたから、テストだけに利用される回路の論理規模の増加を最小限とすることができる。

【0043】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

【0044】例えば、内蔵される機能ブロックの数や種類、内部バスの構成、あるいは、パッケージのピン数などについては何ら限定されない。また、テスト用レジスタ11は削除される機能ブロックに対応した割込み要求について設けるものとしたが、追加される機能ブロックについてあらかじめ、設けておくこともできる。割込み番号の他、割込み処理要求信号IRもリード可能としてもよい。割込み番号リードレジスタ12はリード専用としたが、ライトも可能とすれば、CPU2がライトすることで任意の割込み処理を実行することができ、一層のテスト効率向上に寄与することも可能になる。テスト用レジスタ11などの具体的構成は上記実施例に限定されず、その他種々変更可能である。たとえば、ラッチ回路111は、フリップフロップ型ではなく、ループ型とすることもできる。また、実施例を相互に組合せて構成することも可能である。

【0045】以上の説明では主として本発明者等によってなされた発明をその背景となった利用分野であるシングルチップマイクロコンピュータに適用した場合について説明したが、それに限定されるものではなく、割込みコントローラ専用チップなど、その他の半導体集積回路にも適用可能であり、本発明は少なくとも複数の事象が発生したときに調停を行なう機能を有する条件の半導体集積回路に適用することができる。

【0046】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0047】すなわち、割込みを発生することが困難な割込み要因、あるいは、削除するまたは追加することがある割込み要因に対応した信号を代替するためのテスト用レジスタのような代替手段を設け、その代替手段の信号出力機能によって割込みが発生したと同様の割込み制御動作などを制御回路で処理可能とするから、論理規模の増加を最小限としつつ、テスト設計の効率向上を実現することができるという効果がある。また、削除又は追加することがある割込み要因についての割込み制御機能のテストなどは代替手段を利用でき、機能ブロックを削

13

除又は追加時に、テスト設計を不要とすることができるという効果がある。

【図面の簡単な説明】

【図1】図1は本発明の一実施例に係るシングルチップマイクロコンピュータにおける割り込み制御ブロックのブロック図である。

【図2】図2は本発明の一実施例に係るシングルチップマイクロコンピュータのブロック図である。

【図3】図3は割り込み制御ブロックの別の例を示すブロック図である。

【図4】図4は割り込み制御ブロックのテスト手順を示すフローチャートである。

【図5】図5はテスト用レジスタの具体的な一例回路図である。

【図6】図6は割り込み信号リードレジスタの具体的な一例回路図である。

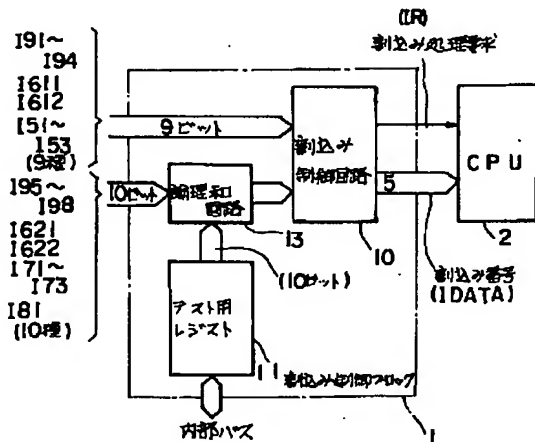
【図7】図7は本発明者が先に検討した割り込み制御ブロックのブロック図である。

【符号の説明】

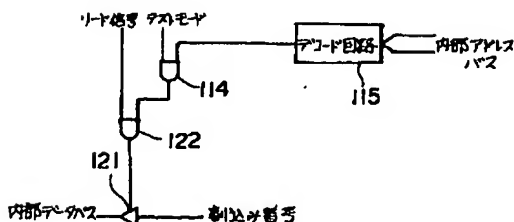
- 1 割り込み制御ブロック
2 CPU

- 3 ROM
4 RAM
5 タイマA
6 タイマB
7 SCI
8 A/D変換器
9 入出力ポート
10 割り込み制御回路
11 テスト用レジスタ
10 12 割り込み番号リードレジスタ
13 論理和回路
100 シングルチップマイクロコンピュータ
IR 割り込み処理容器有信号
IDATA 割り込み番号
I51~I53 割り込み信号
I611, I612 割り込み信号
I621, I622 割り込み信号
I71~I73 割り込み信号
I81 割り込み信号
20 I91~I98 割り込み信号

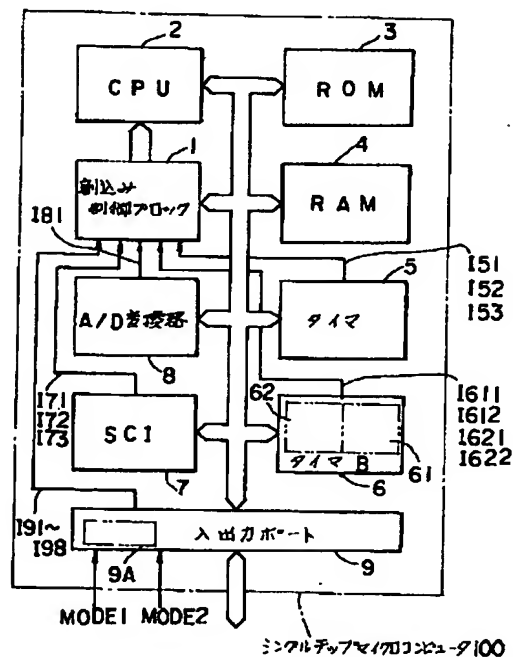
【図1】



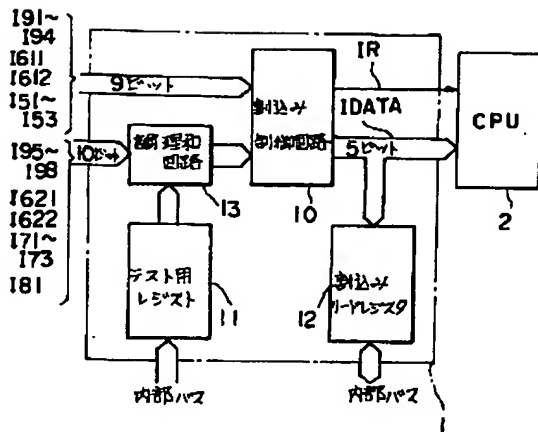
【図6】



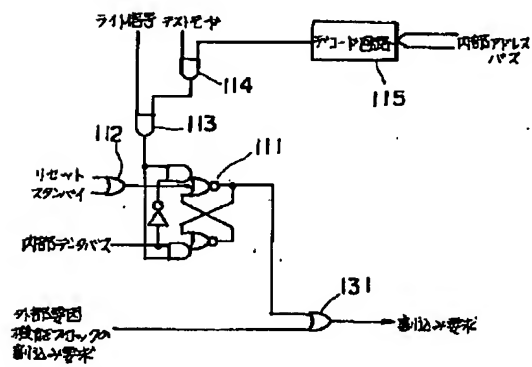
【図2】



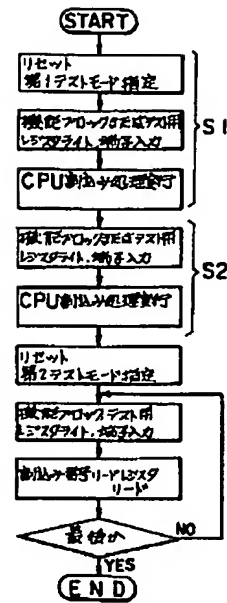
【図3】



【図5】



【図4】



【図7】

